

SD04009

**INFORMATION DISCLOSURE STATEMENT**

**UNDER 37 C.F.R. 1.97**

**The following document(s) is relevant to the claimed  
invention.**

- 1. Japanese Patent Laid-Open Publication No. 2002-164369.**  
**The English abstract of this document is attached  
hereto.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164369  
(43)Date of publication of application : 07.06.2002

(51)Int.CI. H01L 21/60  
H01L 21/56  
H01L 23/12  
H01L 23/29  
H01L 23/31

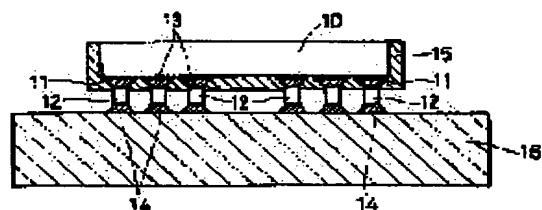
(21)Application number : 2000-361832 (71)Applicant : SONY CORP  
(22)Date of filing : 28.11.2000 (72)Inventor : IWABUCHI TOSHIAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent wire breaking troubles due to concentration of stresses on connections between a semiconductor chip and a mounting board, when the substrate having high thermal expansion shrinks.

**SOLUTION:** On electrodes 11 of a semiconductor chip 10, columnar posts 12 consisting of shape-memory metals are erected to mount them, so that they are connected to electrodes on the mounting board 16 via such posts 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

**decision of rejection]**

**[Date of extinction of right]**

**Copyright (C); 1998,2003 Japan Patent Office**

(51) Int. Cl.	識別記号	F I	テマコード	(参考)
H01L 21/60		H01L 21/60	311	S 4M109
21/56	311	21/56		E 5F044
23/12	501	23/12	501	P 5F061
23/29		21/92	603	B
			602	C

審査請求 未請求 請求項の数13 ○ L (全8頁) 最終頁に続く

(21) 出願番号 特願2000-361832 (P 2000-361832)

(22) 出願日 平成12年11月28日 (2000. 11. 28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩渕 寿章

東京都品川区北品川6丁目7番35号ソニー  
株式会社内

(74) 代理人 100078145

弁理士 松村 修

F ターム (参考) 4M109 AA01 BA03 CA10 DB17 EA02

EB11

5F044 KK01 LL11 QQ02 QQ03 QQ04

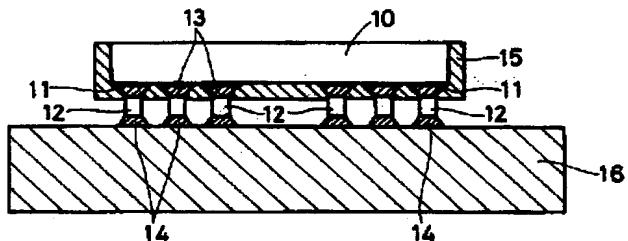
5F061 AA01 CA10

(54) 【発明の名称】半導体装置およびその製造方法

(57) 【要約】

【課題】熱膨張が大きい基板が収縮した際における半導体チップと実装基板との間の接続部の応力集中に伴う断線事故を防止する。

【解決手段】半導体チップ10の電極11上に形状記憶合金から成る円柱状のポスト12を立設して取付けるようにし、このようなポスト12を介して実装基板16の電極との接続を行なうようにしたのである。



## 【特許請求の範囲】

【請求項 1】半導体チップの電極上に形状記憶合金から成る柱状のポストを設けた半導体装置。

【請求項 2】ポストが Ni-Ti-Cu 系または Ni-Ti-Hf 系の形状記憶合金から成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】ポストが形状記憶合金の断面がほぼ円形のワイヤを所定の長さに切断した円柱状の部材から成ることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】形状記憶合金はマルテンサイト相とオーステナイト相との間の相転移温度が半導体チップの動作時の最高温度以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】形状記憶合金はマルテンサイト相からオーステナイト相への変態終了温度が 20°C 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】柱状のポストが露出している部分以外の半導体チップの電極面が樹脂で覆われていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】電極上に形状記憶合金から成る柱状のポストを設けた半導体チップを基板上に実装し、前記ポストによって前記半導体チップの電極と前記基板の電極とを接続したことを特徴とする半導体装置。

【請求項 8】基板がインターポーラ基板であって、フリップチップ実装によるチップサイズパッケージを構成することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】半導体チップの電極と整合する開口部をもったマスク上に形状記憶合金から成る柱状のポストを分散する工程と、

前記マスクの開口部にそれぞれ前記ポストを入れる工程と、

前記マスクの開口部にそれぞれ入っているポストを半導体チップの電極に転写するように移換える工程と、前記ポストを前記半導体チップの電極に接続する工程と、

を具備する半導体装置の製造方法。

【請求項 10】前記移換工程において反転用基板を用い、開口部にそれぞれポストが入った前記マスクを前記反転用基板上に置き、前記ポストと電極とが一致するように前記マスクの上に半導体チップを載置することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】前記ポストの表面に予め半田メッキを施しておき、リフローの際に前記半田メッキが溶融して前記ポストの先端部が前記基板の電極に半田付けされることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】ポストを半導体チップの電極に接続した後に前記半導体チップの表面に樹脂を塗布する工程を具備することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 13】半導体ウエハの電極と整合する開口部をもったマスク上に形状記憶合金から成る柱状のポストを分散する工程と、

前記マスクの開口部にそれぞれ前記ポストを入れる工程と、

前記マスクの開口部にそれぞれ入っているポストを半導体ウエハの電極に転写するように移換える工程と、

前記ポストを前記半導体ウエハの電極に接続する工程と、

10 前記半導体ウエハをダイシングして電極に前記ポストが設けられた半導体チップに分割する工程と、を具備する半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に係り、とくに形状記憶合金から成るポストを設けた半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】マザーボード上に実装される半導体装置 20 の小型化の要請に応えて、例えば図 15 に示すようなフリップチップ実装による半導体装置が用いられている。ここで半導体チップ 1 はインターポーラ基板等の実装基板 2 に実装されており、基板 2 の大きさが半導体チップ 1 の大きさよりもやや大きい寸法に構成されている。

【0003】ここで半導体チップ 1 の電極 3 は図 16 に示すように、バンプ 4 を介して基板 1 上の電極 5 に接続されるようになっている。そしてとくにバンプ 4 を保護するために、図 15 に示すように封止樹脂 6 を半導体チップ 1 と基板 2 との間に充填するようにしている。

## 【0004】

【発明が解決しようとする課題】エレクトロニクス製品は軽薄短小化の方向に向いつつ、しかも高機能化する傾向にある。このような変化に対応するために、図 15 に示すようなフリップチップ実装が不可欠になっている。フリップチップ実装構造には様々なものが提案されている。

【0005】このようなフリップチップ実装の信頼性において課題となるのは、基板 2 に実装後にその信頼性を如何に確保するかにある。基板 2 に実装した後に各種の

40 信頼性試験を行なうが、例えば温度サイクル試験において、その信頼性を決定的にするのは、高温領域と低温領域との基板 2 と半導体チップ 1 との間の熱膨張の差異によって生ずる応力をフリップチップ実装構造の中で緩和する部位である。

【0006】図 15 に示すように半導体チップ 1 と基板 2 との間に封止樹脂 6 を充填した構造によると、半導体チップ 1 と基板 2 との間の熱膨張の差によって生ずる応力が封止樹脂 6 によって受けられるようになり、このためにバンプ 4 に応力が集中するのが防止される。

50 【0007】ところが上述のように半導体チップ 1 に基

板2との間を封止樹脂6によって固めた実装形態によれば、半導体チップ1に不良が生じた場合には半導体チップ1が実装された実装基板全体を丸ごと廃棄するか、あるいは基板2へのダメージを承知の上で、化学的あるいは機械的な外力を加えて半導体チップ1を無理矢理剥ぎ取る方法しかなく、不良部品の交換作業を困難にする問題がある。

【0008】これに対して半導体チップ1と基板2との間に封止樹脂6を充填しない場合には、図16に示すように、半導体チップ1と基板2との間の熱膨張の差によって生ずる応力が総てバンプ4に作用する。すなわち半田バンプ4自体でその応力緩和を行なうことが必要になるが、このような応力に耐えられない場合にはバンプ4が破壊して断線事故を起すことになる。

【0009】またウエハレベルのチップサイズパッケージの構造は、ダイシング前の半導体ウエハの状態で電極上にポストを作製してバンプを製造する構造および製造方法である。この構造はポストを作製することによって、半導体チップと基板との間の間隔を離し、熱膨張の差で生ずる変位を小さくし、バンプにかかる応力を低減するようにしたものである。

【0010】ところがこのようなチップサイズパッケージにおいて用いられるポストは銅から成り、しかもこのような銅のポストが電解メッキによって製造される。ここで銅製のポストを構成するメッキを例えば約100μmの高さに成長させるためにはかなり長い時間がかかり、半導体ウエハ面内のメッキのバラツキによってポストの高さにバラツキが発生する。また金型を用いてそのポストを樹脂で覆うようにしているが、金型を用いるために高価な製造プロセスになる。また樹脂の厚さも100μm程度であって、ポストと同等の厚さになるために、使用する樹脂量も多くなってコスト高になる欠点がある。

【0011】本発明はこのような問題点に鑑みてなされたものであって、半導体チップと基板との間の熱膨張の差によって生ずる応力を効果的に吸収して接続の信頼性を高めるようにした半導体装置およびその製造方法を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】本願の一発明は、半導体チップの電極上に形状記憶合金から成る柱状のポストを設けた半導体装置に関するものである。

【0013】ここでポストがNi-Ti-Cu系またはNi-Ti-Hf系の形状記憶合金から構成されることが好適である。またポストが形状記憶合金の断面がほぼ円形のワイヤを所定の長さに切断した円柱状の部材から形成されてよい。また形状記憶合金はマルテンサイト相とオーステナイト相との間の相転移温度が半導体チップの動作時の最高温度以下であってよく、あるいはマルテンサイト相からオーステナイト相への変態終了温度が2

0°C以下であることが好ましい。また柱状のポストが露出している部分以外の半導体チップの電極面を樹脂で覆うようにすることが好ましい。

【0014】半導体装置に関する別の発明は、電極上に形状記憶合金から成る柱状のポストを設けた半導体チップを基板上に実装し、前記ポストによって前記半導体チップの電極と前記基板の電極とを接続したことを特徴とする半導体装置に関するものである。ここで基板がインターポーザ基板であって、フリップチップ実装によるチップサイズパッケージを構成するものであってよい。

【0015】製造方法に関する主要な発明は、半導体チップの電極と整合する開口部をもったマスク上に形状記憶合金から成る柱状のポストを分散する工程と、前記マスクの開口部にそれぞれ前記ポストを入れる工程と、前記マスクの開口部にそれぞれ入っているポストを半導体チップの電極に転写するように移換える工程と、前記ポストを前記半導体チップの電極に接続する工程と、を具備する半導体装置の製造方法に関するものである。

【0016】ここで前記移換える工程において反転用基板を用い、開口部にそれぞれポストが入った前記マスクを前記反転用基板上に置き、前記ポストと電極とが一致するように前記マスクの上に半導体チップを載置するようにしてよい。また前記ポストの表面に予め半田メッキを施しておき、リフローの際に前記半田メッキが溶融して前記ポストの先端部が前記半田チップの電極に半田付けされるようにしてよい。またポストを半導体チップの電極に接続した後に前記半導体チップの表面に樹脂を塗布する工程を具備するようにしてよい。

【0017】製造方法に関する別の主たる発明は、半導体ウエハの電極と整合する開口部をもったマスク上に形状記憶合金から成る柱状のポストを分散する工程と、前記マスクの開口部にそれぞれ前記ポストを入れる工程と、前記マスクの開口部にそれぞれ入っているポストを半導体ウエハの電極に転写するように移換える工程と、前記ポストを前記半導体ウエハの電極に接続する工程と、前記半導体ウエハをダイシングして電極に前記ポストが設けられた半導体チップに分割する工程と、を具備する半導体装置の製造方法に関するものである。

【0018】本願に含まれる発明の好ましい態様は、半導体チップのバンプの内の一一部分が形状記憶合金のポストから成り、この形状記憶合金のポストが一部露出するようにした半導体装置である。ここでとくに形状記憶合金の低い継弾性係数を利用するとともに、マルテンサイト相を利用する場合には、マルテンサイト相とオーステナイト相との間の相転移温度が半導体チップの動作時の最高温度以下にすることが好ましい。これに対して形状記憶合金が有する超弾性を利用する場合には、形状記憶合金のマルテンサイト相からオーステナイト相への変態終了温度が20°C以下のものを利用することが好ましい。またこのような半導体チップにおいて、露出してい

る部分以外を樹脂で覆うようにしてよい。

【0019】製造方法に関する好ましい態様は、半導体チップの電極に合わせた開口部をもつメタルマスク上に円柱状をなしあかも外表面が半田メッキされた形状記憶合金のポストを分散し、このようなポストをメタルマスクの開口部に挿入し、このポストを半導体チップの電極に転写するように移換え、リフロー工程によって半導体チップの電極上に上記の形状記憶合金のポストを接続するようにした半導体装置の製造方法である。

【0020】このような製造方法において、半導体チップに樹脂を塗布して硬化させる工程を付加するようにしてよい。また上記のような形状記憶合金のポストを設ける工程を半導体ウエハの状態で行なうようにし、ポストを設けた後にダイシングして半導体チップに分割するようにしてよい。

【0021】半導体装置に係る上記の態様によれば、形状記憶合金のポストが露出しているために、この露出している部分が自由に変形できるようになり、熱膨張等に伴って基板が変化した場合において、このような変化に対応してポストが容易に変形できるために、半導体チップと基板との間の接続の信頼性が向上される。またポストの高さ方向の寸法に応じて、半導体チップと基板との間の隙間を任意の値に設定することができ、これによって接続の信頼性が向上する。

【0022】またとくに形状記憶合金から成るポストの変態温度を室温よりも低い値に設定すると、室温の状態で超弾性特性が得られ、このために大きな歪でも小さい応力に抑えられるようになり、信頼性がさらに向上する。またチップ電極とポストとを接続している部位を樹脂で保護しているために、さらに信頼性が向上する。

【0023】形状記憶合金のポストはメッキによって成長させて形成するものではなく、予めワイヤの切断等の方法によって別工程で作製したものを用いることができるために、ポストの供給が安価に行ない得るようになる。またこのようなポストを半導体チップ上に設けるためにメタルマスクが用いられるが、このようなメタルマスクは繰返して使用するために、形状記憶合金製のポストの配列工程も安価な製造プロセスによって達成される。また半導体チップの表面に樹脂をコートする際に金型を用いず、スピンドル等の方法によって塗布することができ、このために製造装置のコストが安価になる。

【0024】半導体チップの段階ではなくウエハレベルで一括して形状記憶合金のポストを取付けるようにした方法によれば、ウエハレベルで一括して製造するために製造コストがさらに低減される。製造後の検査も、ダイシングする前であってポストを立てた後に行なうことができ、しかも弾性があるので検査プローブの高さのバラツキを緩衝でき、検査が容易になる利点がある。

【0025】

【発明の実施の形態】図1は本発明の一実施の形態に係

る半導体装置を示している。ここで用いられる半導体チップ10はペリフェラルの電極パッドから半導体チップ10上で再配線されて3列のエリアアレイになっている電極11を有している。そしてこの電極11上に超弾性の特性をもった円柱状のポスト12が設けられている。ポスト12は半導体チップ10の電極11と半田13で接続されており、この接続部分は樹脂15によって覆われている。樹脂15はポスト12の全体を覆っているわけではなく、ポスト12の根元部分のみを覆っており、

10 ポスト12の先端側の部分が露出している。そしてポスト12の先端側には基板16の電極と接続するための半田ボール14を取付けている。

【0026】ここで樹脂15によって覆われている部分の半田13はポスト12の先端部の半田ボール14よりも溶融温度が高い半田を用いることが望ましい。ポスト12の先端部の半田ボール14を共晶半田から構成する場合には、ポスト12の根元部分を電極11に接続している半田13はPb成分が多い高融点の半田であることが好ましい。Pbフリー半田を使用する場合には、Pb20フリーの成分中の融点が異なるようにすることが望ましい。組合せの一例を挙げれば、ポスト12の根元側を接続する半田13を高融点のSn-Ag系の半田から構成し、基板16に対する接続用の半田ボール14はSn-Ag-Cu系、あるいはBiを含む半田等を使用することが好ましい。

【0027】これに対して半導体チップ10の電極11上に設けられるポスト12はNi-Ti合金等で超弾性の特性が得られるものを使用する。なお図1においてはポスト12の先端部に半田ボール14を取付けるように30しているが、半田ボール14を取付けない半導体装置の場合、例えばLGA (Land Grid Array) から成る半導体装置にも適用可能である。また半導体チップ10としては電極11の配置がエリアアレイの電極を有するものに限られることなく、ペリフェラル電極であっても構わない。

【0028】半導体チップ10の外表面であってとくに電極11が設けられている部分を覆っている樹脂15としては、エポキシ系の熱硬化型接着剤やUV硬化型エポキシ接着剤等が好適である。このような接着剤中には半導体チップとの間の熱膨張率を近い値にするためのフィラーを含有させておくことが好ましい。

【0029】このようなポスト12を電極11上に設けた半導体チップ10を基板16に実装し、リフローを行なうことによって図2に示すようなチップサイズパッケージが得られる。

【0030】このようなチップサイズパッケージは、室温領域あるいは低温領域になると、その基板16の大きな熱膨張によって基板16が図3に示すように変形し、これによって半導体チップ10と基板16とを接続しているポスト12に応力が集中する。ところがここではポ

スト12が超弾性を有しており、ポスト12が大きく変形してこれを接合している半田13、14の部分に大きな応力が発生しない。このために半田13、14の内部疲労が発生せず、信頼性が向上する。

【0031】このような半導体装置において、ポスト12は上述の如く超弾性特性を示す形状記憶合金から構成されている。ここで形状記憶合金は図4に示すように、温度によって低温側のマルテンサイト相と高温側のオーステナイト相の2種類の結晶構造をとり、その境界の温度領域は2相領域になる。

【0032】上記の低温側のマルテンサイト相と高温側のオーステナイト相の間の相転移温度、すなわち図4における2相領域の温度を常温よりも高く設定することによって、相転移温度が上記の電子回路装置の使用時、すなわち半導体チップの動作時の発熱により昇温したときの温度程度以上にすることが好ましい。

【0033】例えば、Ni-Tiから成る形状記憶合金としては、マルテンサイト相と2相領域との境界を65°C程度に、2相領域とオーステナイト相の境界を80°C程度にすることができる。

【0034】また例えばNi-Ti-Cu(45:45:10)の場合には相転移温度を100°C程度にすることでき、またNi-Ti-Hf(35:35:30)の場合は150°C程度にことができる。

【0035】上記の形状記憶合金では、弾性率Gが温度によって変化し、マルテンサイト相では小さく、オーステナイト相では大きく、2相領域では両者の弾性係数をつなぐように滑らかに変化する領域とことができる。

【0036】例えばオーステナイト相における縦弾性係数が8000kgf/mm<sup>2</sup>以下であり、マルテンサイト相における縦弾性係数が1600kgf/mm<sup>2</sup>以下である。あるいはオーステナイト相における横弾性係数が2500kgf/mm<sup>2</sup>以下であり、マルテンサイト相における横弾性係数が500kgf/mm<sup>2</sup>以下であることが好ましい。

【0037】上記の形状記憶合金を用いたポスト12を用いることによって、半導体装置の実装時の応力歪を緩和することができる。これを図3によってより詳細に説明する。図中説明を簡略にするために、半導体チップ10、実装基板16、形状記憶合金から成るポスト12および半田層13、14のみを示している。

【0038】図3に示すように半導体チップ10を実装基板16に実装する工程においては、半田を溶融するために200~250°C程度に加熱処理する。このときに半導体チップ10と実装基板16との熱膨張率の差によって両者の熱膨張が異なっているが、両者を固着するための半田層13、14は溶融状態であるので、ポスト12の接合部は応力がかからない。

【0039】上述のようなリフロー工程を経て180°C

前後で半田13、14が固化する。ポスト12によって接合された電子回路装置が冷却されたときに、この半導体装置が非作動状態では装置の温度が常温、すなわち約20°C程度になる。このときに半導体チップ10よりも実装基板16の方が熱膨張率が大きいために、冷却による収縮量も半導体チップ10よりも実装基板16の方が大きくなる。従って半田により固着されたポスト12の接合部に応力歪が発生してしまうが、形状記憶合金から成るポスト12は常温領域で弾性係数が非常に小さいために、上記の応力歪を緩和できる。

【0040】またこの半導体装置が動作状態では、装置の発熱によって加熱昇温し、例えば100°C程度に昇温する。温度が上昇すると形状記憶合金の弾性係数が高くなるが、半導体チップ10よりも実装基板16の方が熱膨張係数が大きいので、実装基板16の方がより大きく膨張し、これによって応力歪を緩和させるようになる。

【0041】このように形状記憶合金から成るポスト12を用いることによって、半導体チップ10と実装基板16との間の熱膨張率の差に起因する応力歪を緩和して接続信頼性を向上することができる。

【0042】すなわち本実施の形態において形状記憶合金として、電子回路装置の通常の使用温度範囲においては、主としてマルテンサイト相とオーステナイト相の間の相転移温度よりも低温側のマルテンサイト相領域を用いるものである。また上記の領域を主として用いることから、通常の形状記憶合金に形状を記憶させるために行なわれる熱処理は、本実施の形態に用いられる半導体装置のポスト12には不要になる。

【0043】またポスト12として用いられる形状記憶合金の主として超弾性特性を利用する場合であって、高温側のオーステナイト相を利用する場合には、Ni-Ti合金から成る形状記憶合金であってマルテンサイト相からオーステナイト相への変態温度が室温、すなわち約20°C以下の形状記憶合金を利用することが好ましい。

このような形状記憶合金は、オーステナイト相における繰返し変形させるときの回復可能な最大歪量が7%程度に達する。すなわち約7%以下の歪を与えて除荷すると元の形状に戻る。しかも弾性係数が低いために容易に変形する超弾性特性を有する。従ってこのことから、半導体チップ10と実装基板16との間の熱膨張係数の差に起因する実装基板16の面方向の歪を形状記憶合金を用いたポスト12の超弾性によって吸収することが可能になる。

とくにここでポスト12として、非常に細い円柱状の部材が用いられているために、このようなポスト12によって超弾性効果を利用して実装基板16の面方向の歪を容易に除去吸収することが可能になる。

【0044】次に上記実施の形態に係る半導体装置を製造する製造方法について図5~図14を参照しながら説明する。半導体チップ10の電極と整合するパターンの開口部21を有するメタルマスク20を用意する。そし

てこのようなメタルマスク 20 をポスト配列用基板 22 に密着させ、メタルマスク 20 上に超弾性特性をもつ円柱状のポスト 12 を分散させる。なおポスト 12 の表面には予め半田メッキを施しておくことが好ましい。またメタルマスク 20 の開口部 21 の直径はポスト 12 が丁度 1 個のみ入るような大きさにしておく。

【0045】メタルマスク 20 はその厚さがポスト 12 の高さよりもやや小さな寸法に設定される(図5参照)。そしてメタルマスク 20 を振動させながら徐々に少しづつ持上げてポスト 12 を開口部 21 に入れる。図 6 に示すように総ての開口部 21 にポスト 12 が入ったことを確認したならば、メタルマスク 20 上の不要なポスト 12 を総て除去する。

【0046】この後にメタルマスク 20 の上面に図 7 に示すように反転用基板 23 を密着させて装着する。そしてこの後にメタルマスク 20 とポスト反転用基板 23 とが接合された状態でこれらが上下逆様になるように反転させる。そしてこの後に図 8 に示すように上側のポスト配列用基板 22 を除去する。

【0047】これに対して半導体チップ 10 の表面には、その電極 11 と対応する部分に予めフラックスを塗布しておく。なお電極 11 上のみにフラックスを塗布する場合には、フラックス印刷を行なえばよい。半導体チップ 10 の電極 11 が形成されている電極面の全体にフラックスを塗布する場合には、スピニコートによって行なうようにしてもよい。

【0048】このようにしてフラックス 27 が塗布された半導体チップ 10 の電極 11 を図 9 に示すように、マスク 20 の開口部 21 に保持された状態で反転用基板 23 上に支持されているポスト 12 とアライメントさせ、この状態で半導体チップ 10 を静かに下降させて図 10 に示すように、その電極 11 の部分をポスト 12 に接触させる。なおポスト 12 はメタルマスク 20 の上面から突出しているために、フラックス 27 がメタルマスク 20 に接触することがない。

【0049】メタルマスク 20 が半導体チップ 10 に接触しないように図 11 に示す半導体チップ 10 が載置された反転用基板 23 を上下逆様に反転させる。そしてこの状態においてリフローを行なう。リフローのための加熱によってポスト 12 の表面に予め塗布されている半田が溶融し、半田は自重によって流れ落ちて半導体チップ 10 の電極 11 とポスト 12 の根元部分とを接続する。しかもこのときにポスト 12 の上部が図 12 に示すように露出する。

【0050】この後にさらに上記半田 13 を補強とともに半導体チップ 10 の表面を保護するために、樹脂 15 の塗布を行なう。ここで樹脂 15 は、例えばスピニコートの方法によって塗布される。これによって LGA (Land Grid Array) の半導体装置になる。

【0051】この後に半田ボールの転写、半田ペーストの印刷を行なうことによって、半田ボール 14 を搭載することが可能になり、図 1 に示すような半導体装置が製造される。

【0052】なお以上は半導体チップ 10 を用いたチップレベルでの半導体装置の製造方法であるが、このような方法に代えて、半導体ウエハを用いて行なうようにしてもよい。すなわち半導体ウエハの各チップと対応する領域の電極にそれぞれ上記のポスト 12 を接続し、この後にダイシングを行なうことによって図 12 に示すような半導体装置が得られる。従ってこのようにダイシングした後に樹脂 15 を塗布することによって、図 14 あるいは図 1 に示すような半導体装置が得られる。

【0053】ここで半導体チップ 10 としてその電極 11 が 0.5 mm ピッチであって 3 列のエリアアレイの半導体装置の場合には、電極 11 の大きさが  $\Phi$  0.3 mm になり、ポスト 12 の直径は  $\Phi$  0.25 mm になり、ポスト 12 の高さは 0.1 mm の値に設定することが好ましい。またこのような半導体装置を製造する場合のメタルマスク 20 としては、その開口部 21 の直径が  $\Phi$  0.3 mm であって、厚さが 0.5 mm のものを用いることが好ましい。

【0054】なおポスト 12 を製造するために、従来の Cu ポストのようなメッキでの成長による製造方法を用いるのではなく、ワイヤの切断によって製造してよい。すなわち室温レベルで超弾性がある例えば  $\Phi$  0.25 mm のワイヤを 0.1 mm の等ピッチで切断する。そしてこのようなワイヤをダイシング等によってカットすることによって、等ピッチで切断できる。すなわちワイヤを多数個ダイシングテープ上に細密に置き、多数本をダイシングソーで一括でカットすることでポスト 12 が提供される。そしてダイシングテープから剥離した後にポスト 12 を洗浄後半田メッキを施すことによってポスト 12 が用意される。このようなポスト 12 を上述の半導体装置の製造方法に供することによって、形状記憶合金から成るポスト 12 を有する半導体装置が得られる。

【発明の効果】本願の主要な発明は、半導体チップの電極上に形状記憶合金から成る柱状のポストを設けるようにしたものである。

【0056】従ってこのような半導体装置によれば、熱膨張が大きい基板が半導体チップに対して変形しても、ポストが大きく変形するためにポストと半導体チップの電極あるいはポストと基板の電極を接続している接合部に応力が集中することがなく、このために接続部における断線事故の発生が防止され、信頼性の高い半導体装置が提供される。

【0057】製造方法に関する主要な発明は、半導体チップの電極と整合する開口部をもったマスク上に形状記憶合金から成る柱状のポストを分散し、マスクの開口部

にそれぞれポストを入れ、前記マスクの開口部にそれぞれ入っているポストを半導体チップの電極に転写するよう移換え、ポストを半導体チップの電極に接続するようとしたものである。

【0058】従ってこのような半導体装置の製造方法によれば、半導体チップの電極上に形状記憶合金から成る柱状のポストを設けた半導体装置を効率的に製造することが可能になる。とくに予め用意されたポストをメタルマスク上に分散させて供給することにより、製造工程に要する時間が大幅に短縮され、これによって半導体装置のコストの低減を図ることが可能になる。

【図面の簡単な説明】

【図1】半導体装置の縦断面図である。

【図2】半導体チップを実装基板上に実装したチップサイズパッケージの縦断面図である。

【図3】基板が収縮したときのチップサイズパッケージの縦断面図である。

【図4】ポストを構成する形状記憶合金の弾性係数を示すグラフである。

【図5】メタルマスク上にポストを分散させた状態の縦断面図である。

【図6】メタルマスクのそれぞれの開口部にポストを入れた状態の縦断面図である。

【図7】反転基板を上に載置した状態の縦断面図である。

10

【図8】上下を反転させてポスト配列用基板を除去した状態の縦断面図である。

【図9】半導体チップの装着の途中の動作を示す縦断面図である。

【図10】ポスト上に半導体チップを装着した状態の縦断面図である。

【図11】半導体チップと反転用基板とを上下反転させた状態の縦断面図である。

【図12】リフローを行なった後の状態の半導体チップの縦断面図である。

【図13】樹脂を供給した状態の半導体チップの縦断面図である。

【図14】樹脂を半導体チップの外表面に塗布した状態の縦断面図である。

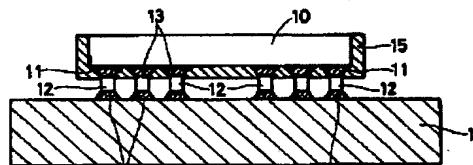
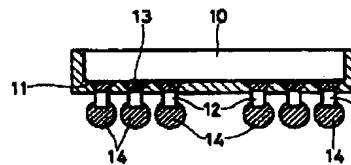
【図15】従来のチップサイズパッケージの縦断面図である。

【図16】半田バンプの断線を示す半導体装置の要部拡大断面図である。

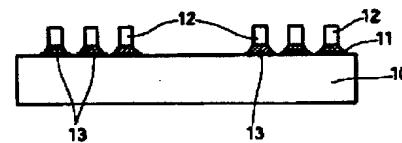
【符号の説明】

20 1 ……半導体チップ、2 ……基板、3 ……電極、4 ……バンプ、5 ……電極、6 ……封止樹脂、10 ……半導体チップ、11 ……電極、12 ……ポスト、13 ……半田、14 ……半田ボール、15 ……樹脂、16 ……基板、20 ……マスク、21 ……開口部、22 ……ポスト配列用基板、23 ……反転用基板、27 ……フラックス

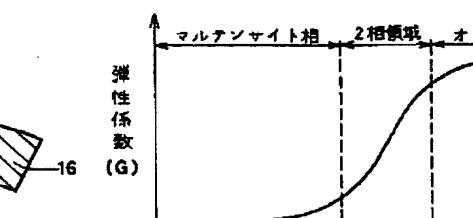
【図1】



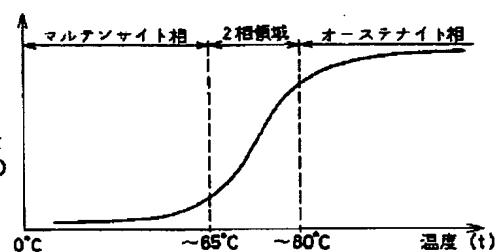
【図2】



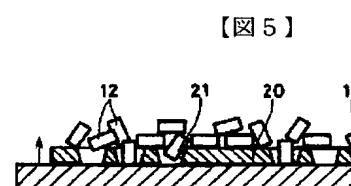
【図3】



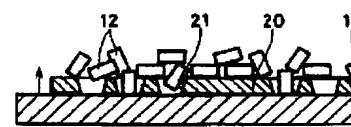
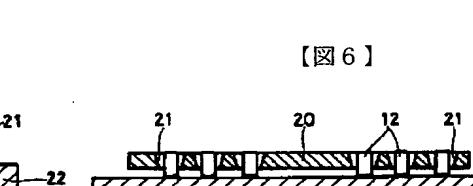
【図4】



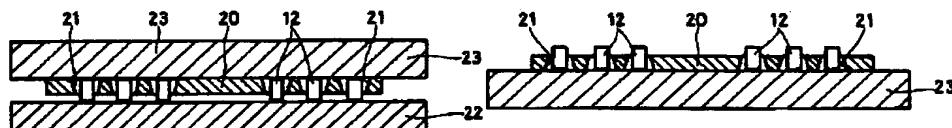
【図5】



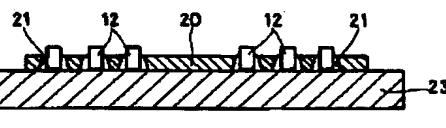
【図6】



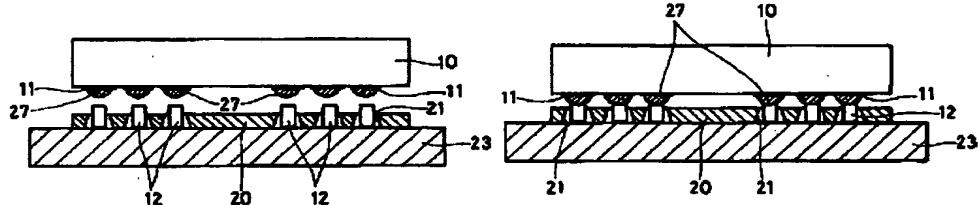
【図 7】



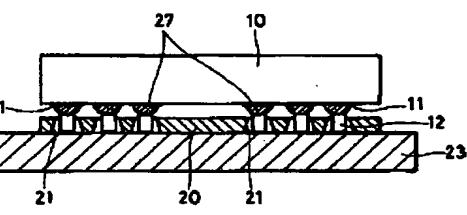
【図 8】



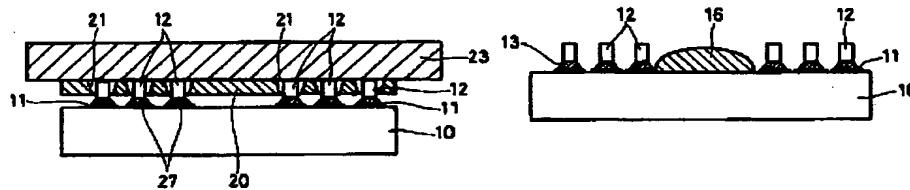
【図 9】



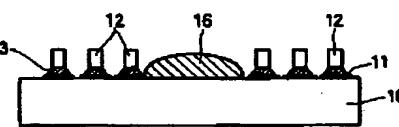
【図 10】



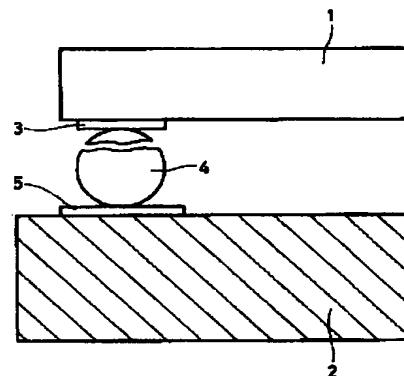
【図 11】



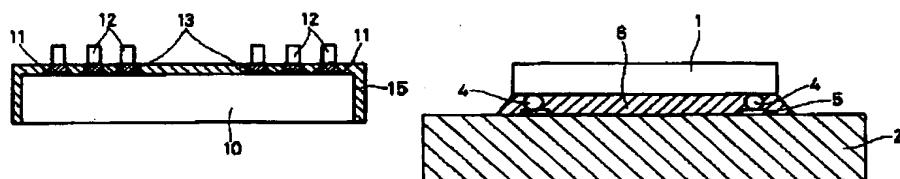
【図 13】



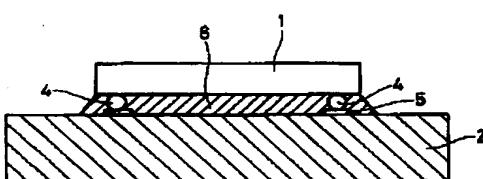
【図 16】



【図 14】



【図 15】



フロントページの続き

(51) Int. Cl. 7

H 01 L 23/31

識別記号

F I

H 01 L 21/92

マークド (参考)

6 0 3 Z

6 0 4 A

23/30

D

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ~~FADED TEXT OR DRAWING~~**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**